

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-74815

⑬ Int.Cl.⁴

H 03 K 5/15
H 03 H 19/00
H 03 K 3/037

識別記号

庁内整理番号

6942-5J
8124-5J
8425-5J

⑭ 公開 昭和60年(1985)4月27日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 スイッチト・キャパシタ回路のクロック発生回路

⑯ 特 願 昭58-182598

⑰ 出 願 昭58(1983)9月30日

⑱ 発 明 者 中 山 謙 二 東京都港区芝五丁目33番1号 日本電気株式会社内
⑱ 発 明 者 瓜 屋 普 東京都港区芝五丁目33番1号 日本電気株式会社内
⑱ 発 明 者 羽 深 龍 二 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気
通信研究所内
⑱ 発 明 者 木 村 忠 勝 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電
気通信研究所内
⑲ 出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号
⑲ 出 願 人 日本電信電話公社
⑲ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称

スイッチト・キャパシタ回路のクロック発生回路

2. 特許請求の範囲

(1) スイッチ素子とキャパシタと演算増幅器とで構成されるスイッチト・キャパシタ回路と、

このスイッチト・キャパシタ回路のスイッチ素子へ開閉制御用のクロック信号を供給するクロック発生回路と

が1個の集積回路に構成され、

上記クロック発生回路に含まれる時間遅延回路は時間遅延用のキャパシタを含む回路により構成されたことを特徴とするスイッチト・キャパシタ回路のクロック発生回路。

(2) クロック発生回路は、第1および第2のNOR回路と、それぞれインバータ回路とキャパシタを含む第1および第2の遅延回路とを備え、

ローレベルとハイレベルの時間比が50:50である信号が上記第1NOR回路に入力するとともにその反転信号が上記第2NOR回路に入力し、上記第1NOR回路の出力が上記第1遅延回路を介して上記第2NOR回路に入力し、この第2NOR回路の出力が上記第2遅延回路を介して上記第1NOR回路に入力し、上記第1および第2NOR回路の出力から出力クロック信号を得るように構成されたことを特徴とする特許請求の範囲第(1)項に記載のスイッチト・キャパシタ回路のクロック発生回路。

(3) クロック発生回路は、排他的NOR回路と、第1および第2のNAND回路と、インバータ回路およびキャパシタを含む遅延回路とを備え、ローレベルとハイレベルの時間比が50:50である信号が上記排他的NOR回路に入力するとともに上記遅延回路を介して上記排他的NOR回路、第1NAND回路および第2NAND回路に入力し、上記排他的NOR回路の出力が上記第1および第2NAND回路に入力し、この第1および第2N

AND回路の出力から出力クロック信号を得るよう構成されたことを特徴とする特許請求の範囲第(1)項に記載のスイッチト・キャパシタ回路のクロック発生回路。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は、スイッチト・キャパシタ・フィルタに用いられるクロック発生回路の構成に関する。

(従来技術の説明)

スイッチト・キャパシタ・フィルタは、スイッチ、キャパシタおよび演算増幅器から構成されるフィルタであり、キャパシタからキャパシタへ電荷を伝達することによりフィルタ動作を行っている。

第1図にスイッチト・キャパシタ・フィルタの簡単な回路例を示す。同図において、1は演算増幅器、2₁～2₄はクロック ϕ_1 で制御される半導体スイッチ、2₅～2₈はクロック ϕ_2 で制御される半導体スイッチ、3₁～3₃はキャパシタ

る。クロック ϕ_1 と ϕ_2 がローレベルとなる時間は通常50ナノ秒程度必要であるので、ゲート遅延時間が5ナノ秒のインバータを10個程度用いればこの50ナノ秒の区間を実現できる。しかしながら、LSIのプロセス技術の発達によりゲート遅延時間は短縮される方向にある。例えば3 μ mルールのCMOSプロセスではゲート遅延が1～2ナノ秒となっている。このようなプロセスを用いて第3図、または第4図の回路でクロック ϕ_1 、 ϕ_2 を作るためにはインバータ列15の部分のインバータ数が極めて多くなる欠点を有している。

(発明の目的)

本発明は、上記の欠点を解決するものであり、微細高速プロセスによりスイッチト・キャパシタ回路を製造する場合に、その回路規模を低減し得る構成としたスイッチト・キャパシタ回路用のクロック発生回路を提供することを目的とする。

(発明の要点)

本発明は、スイッチト・キャパシタ回路のスイッチ素子へクロックを供給するクロック発生回路

である。スイッチト・キャパシタ・フィルタの動作においては、クロック ϕ_1 と ϕ_2 は第2図の区間Tのように双方がローレベル、すなわち半導体スイッチ2₁～2₈がすべてオフとなる区間が必要である。

第2図に示すクロックを発生する従来例の回路として、例えば第3図に示す回路、あるいは第4図に示す回路などが用いられている。第3図の回路はNOR回路11₁、11₂、インバータ回路12₁～12₅で構成され、第4図の回路はインバータ回路12₁～12₅、NAND回路13₁、13₂、排他的OR回路14で構成され、それぞれの回路は第2図の区間Tに対応した遅延時間を作るためのインバータ列15を有している。これらの第3図および第4図の回路は端子16に50%デューティのクロック ϕ_0 が入力し、端子17₁、17₂にクロック ϕ_1 と ϕ_1 が、端子18₁、18₂にクロック ϕ_2 と ϕ_2 が各々出力される。第2図のクロック ϕ_1 と ϕ_2 が同時にローレベルになる時間は第3図、第4図のインバータ列15におけるゲート遅延に対応してい

において、時間遅延を作る目的で従来用いられていたインバータ列による遅延回路をキャパシタによる遅延回路に変えたことを特徴とする。

(実施例による説明)

以下、本発明の実施例を図面に基づいて説明する。

第5図は本発明第1実施例のクロック発生回路を示すブロック構成図であり、本発明を第3図の従来例回路に適用したものである。第5図において、入力端子16にはローレベルとハイレベルの時間比が50:50であるクロック信号 ϕ_0 が入力され、この信号 ϕ_0 はNOR回路11₁の一方の入力に導かれるとともに、インバータ回路12₁を介してNOR回路11₂の一方の入力に導かれる。NOR回路11₁の出力は、インバータ回路12₂とキャパシタ21₁からなる遅延回路22₁を介してNOR回路11₂の他方の入力に導かれるとともに、インバータ回路12₄を介して出力端子17₁、17₂に導かれ、これらの出力端子17₁、17₂からクロック ϕ_1 、 ϕ_1 が出力される。また、NOR回路11₂の出力

は、インバータ回路12₃とキャパシタ21₂からなる遅延回路22₂を介してNOR回路11₁の他方の入力に導かれるとともに、インバータ回路12₅を介して出力端子18₁、18₂に導かれ、これらの出力端子18₁、18₂からクロック ϕ_2 、 $\bar{\phi}_2$ が出力される。

第5図から明らかなように、本発明による第1実施例回路は第3図の従来例回路におけるインバータ列15をキャパシタで置換したものである。このように、遅延回路にキャパシタを用いることにより小さな面積で大きな遅延時間を実現することができる。例えば3 μ mルールCMOSプロセスでは、キャパシタ21₁、21₂として約2.5pFのものをを用いることにより、クロック ϕ_1 、 ϕ_2 が同時にローレベルになる時間として約80ナノ秒を実現することが可能である。この第1実施例回路はインバータ列を用いた場合と比べてチップ上の面積を十分に低減できる。

第6図は本発明の第2図実施例回路のブロック構成図であり、本発明を第4図の従来例回路に適

用した例である。第6図において、クロック信号 ϕ_0 は排他的NOR回路14の一方の入力に導かれるとともに、インバータ回路12₂とキャパシタ21₃からなる遅延回路22₃を介して排他的NOR回路14の他方の入力、およびNAND回路13₁、13₂の一方の入力に導かれる。排他的NOR回路14の出力は、NAND回路13₁、13₂の他方の入力に導かれ、このNAND回路13₁、13₂の出力がそれぞれインバータ回路12₄、12₅を介して出力端子17₁、17₂と18₁、18₂に導かれる。この第2図実施例回路においても、遅延回路22₃を従来のインバータ列に比べて大幅に小さくでき、回路規模を低減できる。

〔発明の効果〕

以上に説明したように、本発明によれば、CMOSプロセス等によりスイッチト・キャパシタ回路を製造する場合にも、従来は多数のインバータを必要とするために回路規模が大きくなっていた遅延回路を小さな回路規模で実現できるようになる。

4. 図面の簡単な説明

第1図はスイッチト・キャパシタ回路の回路図。

第2図はクロック ϕ_1 、 ϕ_2 のタイミング図。

第3図、第4図は従来例のクロック発生回路のブロック構成図。

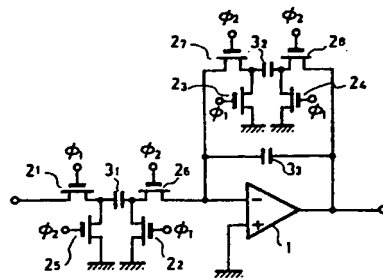
第5図は本発明第1実施例回路のブロック構成図。

第6図は本発明第2実施例回路のブロック構成図。

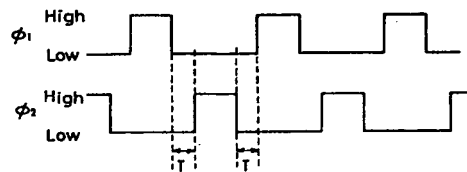
11₁、11₂…NOR回路、12₁～12₄…インバータ回路、13₁、13₂…NAND回路、14…排他的NOR回路、21₁～21₃…キャパシタ、22₁～22₃…遅延回路。

特許出願人代理人

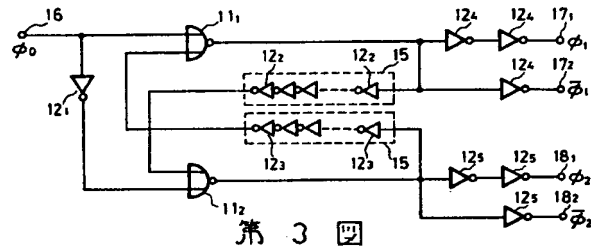
弁理士 井 出 直 孝



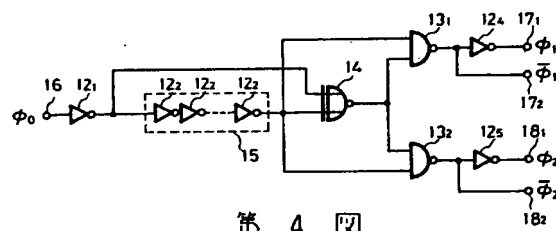
第 1 図



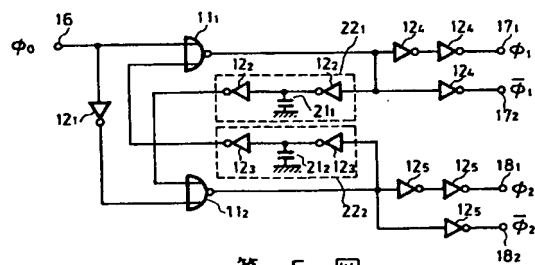
第 2 図



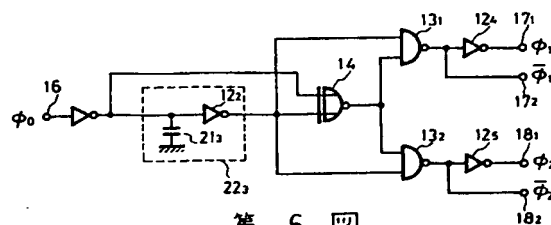
第 3 図



第 4 図



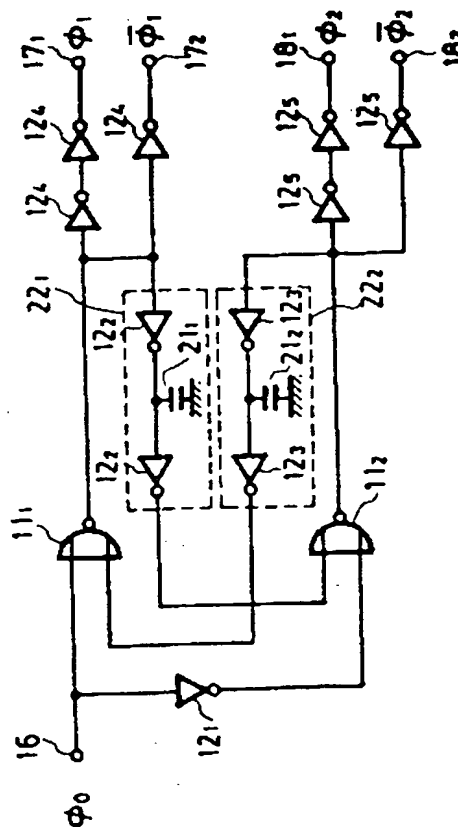
第 5 図



第 6 図

Patent Abstracts of Japan

TITLE : CLOCK GENERATING CIRCUIT OF
SWITCHED CAPACITOR CIRCUIT



COPYRIGHT: (C)1985,JPO&Japio

THIS PAGE BLANK (USPTO)



P.B.5818 - Patentlaan 2
2280 HV Rijswijk (ZH)
☎ +31 70 340 2040
TX 31651 epo nl
FAX +31 70 340 3016

**Europäisches
Patentamt**

Zweigstelle
in Den Haag
Recherchen-
abteilung

**European
Patent Office**

Branch at
The Hague
Search
division

**Office européen
des brevets**

Département à
La Haye
Division de la
recherche

Lange, Thomas, Dr.
Patentanwälte
Lambsdorff & Lange
Dingolfinger Strasse 6
81673 München
ALLEMAGNE

Patentanwälte
Lambsdorff & Lange

26. Juli 2004

Frist: _____
WV: _____

Datum/Date

26.07.04

Zeichen/Ref./Réf.

I0050EP/LG/Co

Anmeldung Nr./Application No./Demande n°/Patent Nr./Patent No./Brevet n°.

01118996.6-2215-

Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire

Infineon Technologies AG

MITTEILUNG

Das Europäische Patentamt übermittelt beiliegend den europäischen Recherchenbericht zu der obengenannten europäischen Patentanmeldung.

Wenn zutreffend, Kopien der im Recherchenbericht aufgeführten Schriften sind beigelegt.

☒ Zusätzliche Kopie(n) der im europäischen Recherchenbericht angeführten Schriftstücke sind beigelegt.

Die folgenden Angaben des Anmelders wurden von der Recherchenabteilung genehmigt:

☒ Zusammenfassung

☒ Bezeichnung

☐ Die Zusammenfassung wurde von der Recherchenabteilung abgeändert und der endgültige Wortlaut ist dieser Mitteilung beigelegt.

Die folgende Abbildung wird mit der Zusammenfassung veröffentlicht:

1, 5B

RÜCKERSTATTUNG DER RECHERCHENGEBÜHR

Falls Artikel 10 der Gebührenordnung in Anwendung kommt, ergeht noch eine gesonderte Mitteilung der Eingangsstelle hinsichtlich der Rückerstattung der Recherchegebühr.



THIS PAGE BLANK (USPTO)



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 01 11 8996

EINSCHLÄGIGE DOKUMENTE

Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
A	EP 0 689 286 A (ST MICROELECTRONICS SRL) ✓ 27. Dezember 1995 (1995-12-27) * Spalte 5, Zeile 33 - Spalte 6, Zeile 39; Abbildungen 4,5 *	1-5,12, 16-20,23	H03F3/00 H03K5/15 H03K5/13
A	EP 0 836 275 A (SGS THOMSON MICROELECTRONICS) ✓ 15. April 1998 (1998-04-15) * Spalte 2, Zeile 17 - Spalte 1, Zeile 45; Abbildung 1 *	1,16	
A	US 5 880 619 A (PAJUNEN GRAZYNA A ET AL) ✓ 9. März 1999 (1999-03-09) * Spalte 1, Zeile 66 - Spalte 2, Zeile 21; Abbildungen 1,2 *	1,16	
A	WO 96/25795 A (ERICSSON TELEFON AB L M) ✓ 22. August 1996 (1996-08-22) * Seite 3, Zeile 30 - Seite 4, Zeile 12; Abbildung 4 *	1-7, 11-14, 16-18, 23,24	
A	US 5 818 276 A (GARRITY DOUGLAS A ET AL) ✓ 6. Oktober 1998 (1998-10-06) * Spalte 5, Zeile 58 - Spalte 10, Zeile 31; Abbildungen 4-6 *	1,2,16, 17	H03K H03H
A	US 6 081 218 A (JU PEICHENG ET AL) ✓ 27. Juni 2000 (2000-06-27) * Spalte 7, Zeile 1 - Zeile 35; Abbildung 5 *	1,16	
A	PATENT ABSTRACTS OF JAPAN Bd. 009, Nr. 212 (E-339), 29. August 1985 (1985-08-29) & JP 60 074815 A (NIPPON DENKI KK;OTHERS: 01), 27. April 1985 (1985-04-27) * Zusammenfassung *	1,16	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
1	Recherchenort München	Abschlußdatum der Recherche 19. Juli 2004	Prüfer Kurzbauer, W
KATEGORIE DER GENANNTEN DOKUMENTE			
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur			
T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			

THIS PAGE BLANK (USP 10)

ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.

EP 01 11 8996

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentdokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

19-07-2004

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 0689286	A	27-12-1995	EP	0689286 A1	27-12-1995
			DE	69423748 D1	04-05-2000
			DE	69423748 T2	20-07-2000
			JP	8130422 A	21-05-1996
			US	5745002 A	28-04-1998
EP 0836275	A	15-04-1998	EP	0836275 A1	15-04-1998
			DE	69621615 D1	11-07-2002
			US	5994960 A	30-11-1999
US 5880619	A	09-03-1999	KEINE		
WO 9625795	A	22-08-1996	AU	4852696 A	04-09-1996
			BR	9607524 A	30-12-1997
			CN	1181163 A ,B	06-05-1998
			EP	0809886 A1	03-12-1997
			WO	9625795 A1	22-08-1996
			US	5796360 A	18-08-1998
US 5818276	A	06-10-1998	KEINE		
US 6081218	A	27-06-2000	KEINE		
JP 60074815	A	27-04-1985	KEINE		

THIS PAGE BLANK (USF)